

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

00774322 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **56-094622** [JP 56094622 A]

PUBLISHED: July 31, 1981 (19810731)

INVENTOR(s): ITO HIROSHI
 NAKAGAWA KOJI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 54-171699 [JP 79171699]

FILED: December 27, 1979 (19791227)

INTL CLASS: [3] H01L-021/208; H01L-021/263; H01L-021/86; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 79, Vol. 05, No. 167, Pg. 15, October
 24, 1981 (19811024)

ABSTRACT

PURPOSE: To obtain a desired element by forming an amorphous semiconductor film on a prescribed substrate and by heating the same selectively by application of a laser beam to convert it into crystalline structure.

CONSTITUTION: An Si substrate is provided in opposition to a silica glass substrate 1, PH(sub 3) is added into Ar, and a nearly-insulated amorphous Si film 2 containing P is prepared by the glow discharge of SiH(sub 4) generated by application of high-frequency electric power. Then, a metallic mask 3 being given to the film, the Ar-ion laser beam is applied thereto selectively, whereby it is heated and converted into a single crystal 4. When the desired element is formed on the film 4, the amorphous Si film 2 is left as an element separating layer. By this constitution, a glass plate is sufficient for the device, with no expensive substrate such as sapphire in SOS being required, and thus the cost for the device can be reduced.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3468316

Basic Patent (No,Kind,Date): JP 56094622 A2 810731 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): ITOU HIROSHI; NAKAGAWA KOUJI

IPC: *H01L-021/208; H01L-021/263; H01L-021/86; H01L-029/78

JAPIO Reference No: *050167E000015;

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|--------------------|------|--------|-------------|------|----------------|
| JP 56094622 | A2 | 810731 | JP 79171699 | A | 791227 (BASIC) |

Priority Data (No,Kind,Date):

JP 79171699 A 791227

⑬ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭56—94622

⑮ Int. Cl.³
H 01 L 21/208
21/263
21/86
29/78

識別記号

庁内整理番号
7739—5F
6851—5F
7739—5F
6603—5F

⑬ 公開 昭和56年(1981)7月31日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

①特 願 昭54—171699
②出 願 昭54(1979)12月27日
⑦発 明 者 伊東宏
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内

⑦発 明 者 中川公史
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内
⑧出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑨代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- (1) 所定の基板上に非晶質半導体膜を形成し、この非晶質半導体膜の所定箇所を選択的に加熱して結晶質半導体膜に変換し、この結晶質半導体膜に所望の素子を形成することを特徴とする半導体装置の製造方法。
- (2) 非晶質半導体膜の所定箇所の選択的加熱をレーザビーム照射により行う特許請求の範囲第1項記載の半導体装置の製造方法。
- (3) 非晶質半導体膜の複数箇所を結晶質半導体膜に変換し、その箇所の非晶質半導体膜をそのまま素子分離面として残して複数の素子を形成する特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

この発明は、非晶質半導体膜の一部を選択的に結晶質半導体膜に変換して所望の素子を形成

する半導体装置の製造方法に関する。

従来より、絶縁性基板上に単結晶半導体膜を形成させて、この単結晶半導体膜を用いて集積回路を構成する方法からOS (Silicon on Sapphire) 技術として知られている。この方法では一般にサファイア基板の上に例えばMOSトランジスタ等を通常の素子分離を行うことで形成することかできるが、(1) サファイア基板は均質であり、従って集積回路が均質になる、(2) サファイアとシリコンのヤング係数の違いにより大きい面積に良質な単結晶シリコン膜を形成させることが難しく、特性の優れた集積回路を形成することか難しい、(3) 素子分離は通常全面に形成させたシリコン膜を局所的にエッチングすることで行うた工程が複雑である。等の欠点がある。

この発明は、安価な絶縁性基板を用いて、比較的簡単な工程で特性の優れた集積回路を実現することを可能とした半導体装置の製造方法を提供するものである。

この発明は、所定の基板にまず非晶質半導

本膜の所定箇所を選択的に加熱して結晶質半導体膜に変換して、この結晶質半導体膜に所望の素子を形成することを旨子としている。

例えば非晶質シリコン膜は種々の方法で形成されるか、その形成条件を適することにより、比抵抗 $10^{12} \Omega \cdot \text{cm}$ 以上の良好な絶縁膜として得られる。そしてこの非晶質シリコン膜は約 670°C 以上に加熱すると結晶化して多結晶シリコン膜となることが知られている。また従来、ガラス基板の表面を適当に加工して非晶質シリコン膜を形成し、これを加熱することにより、非晶質シリコンが最大直径 $100 \mu\text{m}$ 程度の単結晶粒子に変換することが報告されている (Appl. Phys. Letters, Vol. 35, P. 71, 1979)。この発明ではこれらの技術を用いて、例えばガラス基板上に非晶質シリコン膜を形成した後、その素子形成領域のみを選択的に加熱して結晶化して、ここに素子を形成しようとするものである。

以下この発明の実施例を説明する。第1図～

- 3 -

4図を模式的に照射装置して、非晶質シリコン膜2のMOSトランジスタ形成領域を加熱して単結晶シリコン膜4に変換する。レーザービームの照射領域はマスク3によらず、例えばレーザー源の前にケル切梁器を利用したシャッターにより選択してもよい。得られた単結晶シリコン膜4は従来の単結晶シリコンよりなる膜の良質なものである。こうして形成された単結晶シリコン膜4に、通常のSOS技術として知られているように、図4図に示すように、イオン注入法によりソース領域5、ドレイン領域6、およびチャネル領域7を形成し、ゲート酸化膜8を設け、ソース電極9、ドレイン電極10、およびゲート電極11を配設して完成する。

図では便宜上、1個のMOSトランジスタのみを示したか、隣接する領域にも同様のMOSトランジスタその他抵抗等の素子を形成して集積回路を構成する。即ち、単結晶化されない尚比抵抗の非晶質シリコン膜2がそのまま素子分離膜として残ることになる。

- 5 -

第4図はMOS集積回路に適用した実施例の1個のMOSトランジスタ部分の製造上横断面図である。まず第1図に示すように、中央ガラス基板1を用い、その表面にクロム膜を蒸着し、ホトレジスト付着、エッチングを行ってクロムマスクを形成して基板エッチングを行い、間隔 $3.8 \mu\text{m}$ 、深さ 1000 \AA の溝を形成する。次にこのガラス基板1の表面に SiH_4 のグロー放電分解により図2図に示すように厚さ $1 \sim 2 \mu\text{m}$ の非晶質シリコン膜2を形成する。具体的に、例えばガラス基板1に對向するターゲットにシリコン基板を用い、 Ar ガス中には B_2H_6 (あるいは PH_3) を適量添加して高周波電力を印加して、 SiH_4 のグロー放電分解により、比抵抗 $10^{12} \Omega \cdot \text{cm}$ 以上で n (あるいは p) が $10^{-6} \sim 10^{-7} \text{ cm}^{-3}$ 含まれた n 型 (あるいは p 型) の非晶質シリコン膜2を形成する。その後図3図に示すように、例えば金抵抗マスク3を用い、 Ar イオンレーザー (出力 10 W 、繰返しパルス周波数 1 KHz) によりレーザービ-

- 4 -

ームの方法によれば、基板は非晶質膜をつけるためのものであるから、SOSにおけるサブアライのような高純度の単結晶絶縁基板である必要がなく、上述のようにガラス基板で十分であり、従つて製造コストを安価に製造することが出来る。またSOSでは結晶粒子の不純物による欠陥発生があり、特に大面積になるとその発生が大きくなり、良好な特性の集積回路を得ることが難しいが、この方法では非晶質膜のうち素子形成を行う領域のみを有選択的に加熱して単結晶化するため、とゞ単一の結晶粒子からなる良質の単結晶膜が得られ、従つて集積回路の特性も得られたものが得られる。更に、この方法では、基板上につけた非晶質膜は、予じめ高比抵抗に形成しておくことにより選択エッチング上極は必要がなく、素子形成の開始にそのまま素子分離膜として残すことができ、しかもこれにより表面が平坦なものとなるから高集積化にとつても有利である。

なお、実施例では非晶質シリコン膜を SiH_4 、

- 6 -

のグロー放電分解により形成したが、その他スパッタリングや不活性ガス（ N_2 、 Ar 等）中での化学蒸着法を利用してもよい、また非晶質膜を選択的に加熱する手段としてレーザービーム照射を用いたが、電子ビーム照射或其他の方法を用いることもできる。更に、MOSデバイスそのものの製造方法や基板その他の材料は任意に選択できることは勿論、この発明はバイポーラデバイスにも同様に適用することかできる。

以上のようにこの発明によれば、非晶質半導体膜を出発材料として選択的に加熱して所定箇所を結晶化してここに素子を形成することにより、各種半導体装置の特性向上とコストダウンを図ることかできる。

4. 図面の簡単な説明

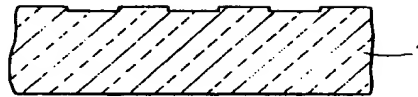
第1図～第4図はこの発明の一実施例の製造工程断面図である。

1…石英ガラス基板、2…非晶質シリコン膜、3…マスク、4…単結晶シリコン膜、5…ソース領域、6…ドレイン領域、6'…チャネル

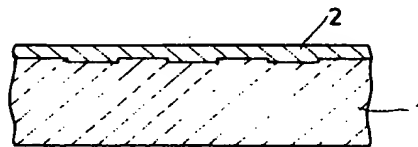
ル領域、5…ゲート酸化膜、6…ソース電極、6…ドレイン電極、6'…ゲート電極。

出願人代理人 井井士 玲 江 武 彦

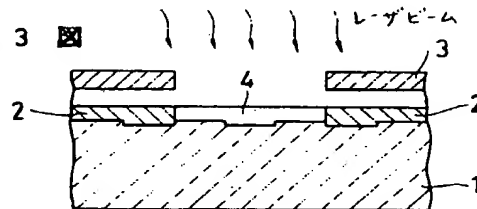
第 1 図



第 2 図



第 3 図



第 4 図

